

時空間多重パケット無線信号伝送技術

適応信号処理を中心とする新しい技術体系の確立を目的として、パケット通信を基本とした無線信号伝送技術について研究した。なお、本研究は東京工業大学大学院理工学研究科 鈴木・府川研究室（鈴木 博教授，府川 和彦助教授）との共同研究により実施した。

あ さい たかひろ ふ じ い ひろまさ
浅井 孝浩 藤井 啓正
あ べ てつし よしの ひとし
阿部 哲士 吉野 仁

1. まえがき

近年の携帯電話に代表される移動通信のめざましい普及とマルチメディア化に対する需要に伴い、データ、画像などの大量のデジタル信号伝送に対する技術的要求が高まっている。さらに、固定網と変わらないシームレスなインターネット品質を実現するためには、パケットを基本とする無線におけるランダムアクセス技術を、高速伝送技術と一体で確立する必要がある。本研究では、高信頼の高速伝送が可能で、かつ周波数利用効率の高いランダムアクセス移動通信方式の実現に向け、適応信号処理を中心とする新しい技術体系の確立を目的としたアルゴリズムの検討を行っている。

具体的には、複数の送受信アンテナを用いて空間多重伝送を行い、周波数帯域を広げずに高速伝送が可能なMIMO (Multiple Input Multiple Output) 通信に着目するとともに、送信側で伝送路のインパルス応答を利用した送信を行うことにより、さらなる通信路容量の増大を実現する方法について検討を行った。以下に主な検討内容を示す。

- ①空間多重伝送が可能で、かつ誤り訂正符号の復号能力を改善するMIMO-OFDM (Orthogonal Frequency Division Multiplexing) 用位相ホッピングダイバーシチ法の提案
- ②高速伝送を可能とするMIMO-OFDMへの適用を考慮した、OFDMにおける高精度パス検出器を用いたタイミング再生器の提案
- ③高信頼パケット伝送を可能とするメトリック合成型

ARQ (Automatic Repeat reQuest) を用いたOFDMパケット伝送におけるマルチユーザ検出器の提案

- ④長遅延マルチパス伝搬環境においても高信頼な信号伝送を可能とするMIMO-OFDMターボ等化器の提案
- ⑤送信側でインパルス応答が容易に推定可能であることを特徴とするTDD (Time Division Duplex) 技術の調査

本稿では、これらの検討の中から、位相ホッピングダイバーシチ法および高精度パス検出器を用いたタイミング再生器について概説する[1] [2]。

2. 位相ホッピングダイバーシチ法

2.1 アルゴリズム概要

マルチパス干渉に対して高い耐性を有するOFDM伝送において、周波数選択性フェージング環境ではサブキャリアごとにチャネル利得の変動が異なるため、誤り訂正符号化などを用いることで周波数ダイバーシチ効果を得ることができる。しかし、近接するサブキャリアにおいてはチャネル利得の変動が類似していることから、周波数ダイバーシチ効果を十分に得ることができない。

そこで、送信アンテナごとに異なる位相回転を与えることで、送信ダイバーシチ効果により誤り率特性が改善される位相ホッピングダイバーシチ法を、OFDM伝送における各サブキャリアに適用する。このサブキャリア位相ホッピング (SPH: Subcarrier Phase Hopping) 方式では、送信時に各サブキャリアに対して独立に位相変動を与えることにより、受信信号における各サブキャリアの利得を独立に変動させることができる。これにより、隣接するサブキャリアの受信電力が同時に大幅に落ち込む確率を少なくすることができ、誤り訂正符号を用いた場合に誤り訂正が困難な符号化ビットが連続して誤る状況を避けることで、受信特性を向上させることができる。

送信アンテナ数が2の場合のSPHを用いたMIMO-OFDM送信機の構成を図1に示す。送信機は情報ビットに巡回符号 (CRC: Cyclic Redundancy Check) を付加した後に、符号化、インタリーブ、マッピングを行い、データシ

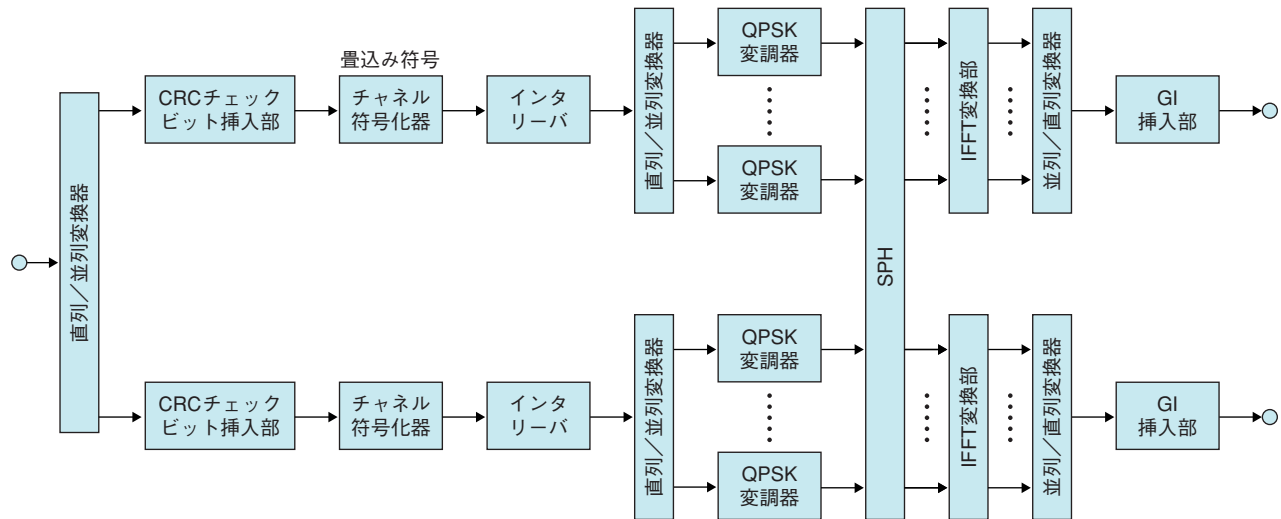


図1 SPHを用いたMIMO-OFDM送信機の構成

ンボルを生成する。通常のOFDM送信機においては、このように生成されたシンボルに対して逆フーリエ変換（IFFT：Inverse Fast Fourier Transform）を行うが、本方式では、サブキャリアごとに各ストリームの変調信号に対してランダム位相行列を乗算する。このランダム位相乗算後の信号に対して、IFFT、ガードインターバル（GI：Guard Interval）の挿入を行い送信する。

ここで、互いに直交したランダム位相行列を用いることにより、SPHを行った送信信号を受信機で分離する際に特性劣化が生じないようにすることが可能となる。また、受信機では、送信側で与えた位相回転量の情報を必要としない。

2.2 特性評価

アルゴリズムの有効性を実証するため、複数のFPGA*（Field Programmable Gate Array）を搭載したボードを用い、ハードウェア記述言語（HDL：Hardware Description Language）による実装を行った。本節では、FPGAボードの概要について説明し、FPGAボードを使用した動作検証結果を示す。

(1) FPGAボード概要

FPGAを用いたボードシミュレータの外観を写真1に示す。本ボードには、約700万システムゲートのFPGAを6個搭載しており、ボード全体で4,200万システムゲートのロジックを実装できる。なお、FPGA1個当たり328個の乗算器が搭載されており、優れた積和演算（MAC：Multiply and ACcumulate）性能を実現できる。各FPGA

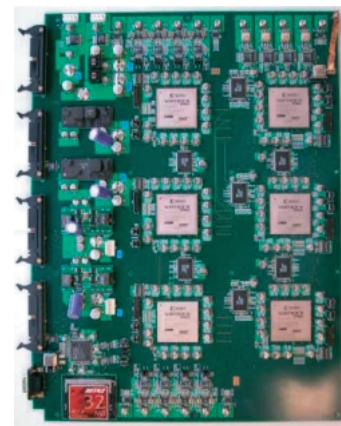


写真1 FPGAボードシミュレータ外観

間には高速にアクセス可能な2MBのZBT-SSRAM（Zero Bus Turnaround-Synchronous Static Random Access Memory）が搭載されており、FPGA間のデータの受け渡しや、関数のテーブル化に用いられる。A/D（Analog to Digital）変換器、D/A（Digital to Analog）変換器は、ビット幅が14bitで、それぞれ105Msps（sample per second）、160Mspsで動作するチップを用いている。A/D変換器はI、Q信号で2チャンネル分（計4チャンネル）、一方D/A変換器はI、Q信号で4チャンネル分（計8チャンネル）あり、実装したハードウェアのモニタ用に用いた。

(2) 検証結果

本実験では、前述したFPGAボードを用いてデジタル・ベースバンド伝送を実現している。装置仕様を表1に示す。本評価では、2×2（2送信アンテナ2受信アンテナ）MIMO、および2×1 MISO（Multiple Input Single Output）について検討を行い、SPHの適用効果を評価するとともに、比較のためにSPHに送信ダイバーシチを併

* FPGA：アレイ状に並んだセルと配線要素で構成されている書き換え可能な大規模集積回路。ハードウェアであるため高速、低消費電力という特徴を持つと同時に、回路を消去して書き換えられるという特徴を有する。

表1 装置仕様

符号化・変調方式	OFDM/QPSK (符号化率 1/2)
FFT ポイント数	64
サブキャリア数	52 (データ: 48, パイロット: 4)
帯域幅	80MHz
アンテナ数	送信: 2本, 受信: 2, 1本
伝送速度	TD: 48Mbit/s, SDM: 96Mbit/s
伝搬モデル	16パス指数減衰モデル

用したSPH-TD (Transmit Diversity) 方式についても評価を行った。2×2MIMOにおけるSPHに必要な回路規模は、送受信処理回路全体の約1/20で、FPGAボード全体の回路規模の1% (42万ゲート) 程度であった。

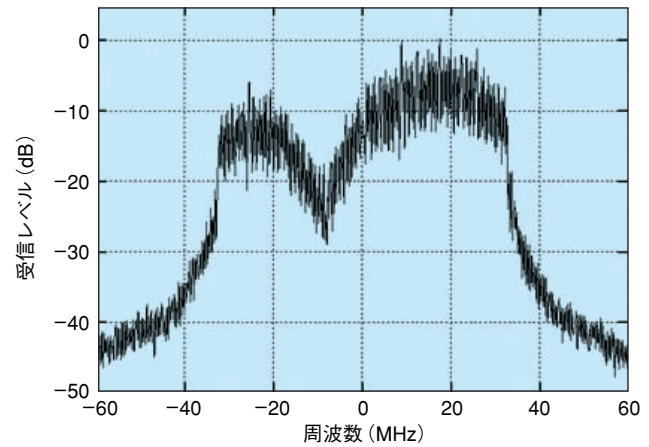
スペクトラムアナライザで測定した受信信号の周波数特性を図2に示す。この図が示すように、SPHを適用することで2パスフェージング環境において観測される中心周波数 (横軸0Hz) から低周波数側20MHzにわたる幅広いレベルの落ち込みを抑えることができる。

定量的な評価として16パスモデルでのパケット誤り率 (PER: Packet Error Rate) 特性を取得し、計算機シミュレーションと比較した結果を図3に示す。シミュレーションとほぼ同等な特性が得られており、SPH-SDM (Spatial Division Multiplexing) を適用することにより、2×2 MIMOにおいてSPHを適用しない従来方式と比較して、 $PER = 10^{-2}$ を実現できる受信 E_b/N_0 を、受信側で最尤検出器 (MLD: Maximum Likelihood Detection) を用いた場合は0.4dB、MMSE検出器 (MMSED: Minimum Mean Squared Error Detection) を用いた場合は1.2dB改善できる。また、SPH-TDにより1×1のOFDMに比較して $PER = 10^{-2}$ を実現する受信 E_b/N_0 を2.6dB改善可能であることが確認できた。

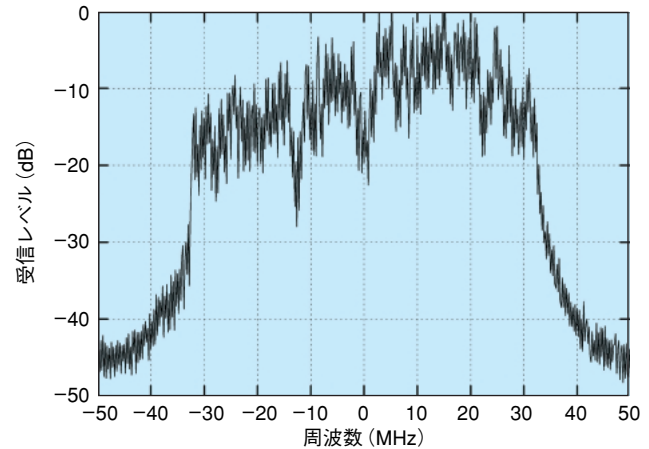
3. 高精度パス検出器を用いたタイミング再生器

OFDM伝送を用いた場合、受信機では高速フーリエ変換 (FFT: Fast Fourier Transform) の処理を行う前にFFTウィンドウのタイミングを決定することが必要となる。従来の方法では、ガードインターバルの周期性を用いた受信信号の自己相関処理によりタイミングを決定するが、提案方法ではさらに以下の処理を行うことで受信タイミングの検出精度を向上させる (図4)。

まず、パス検出器では、仮タイミング検出器において従来の自己相関処理で得られたタイミングを基にチャンネル推定を行い、チャンネルインパルス応答を推定する。そしてチャンネルインパルス応答から、判定された先行波の位置が



(a) SPH 非適用時



(b) SPH 適用時

図2 SPH適用時および非適用時の周波数特性

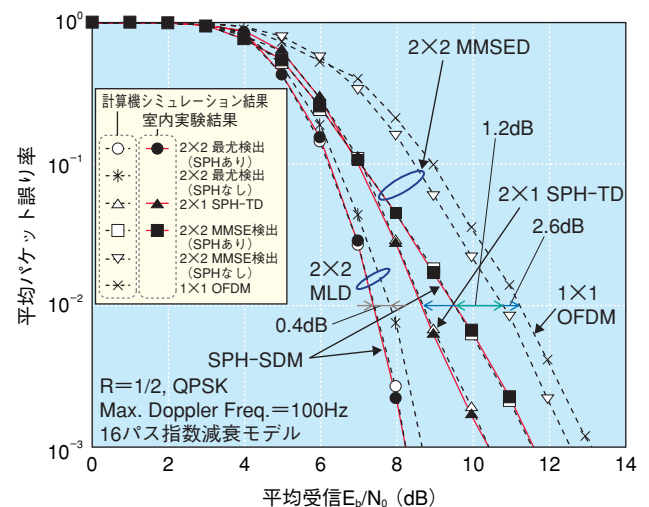


図3 平均パケット誤り率特性

FFTウィンドウ内になるように補正を行う。さらに、後段のチャンネル推定器に対してチャンネルインパルス応答長を通知することにより、チャンネル推定精度を向上させる。

また、インパルス応答値には雑音成分が含まれるため、パス数を判定する際にチャンネルのインパルス応答と雑音を

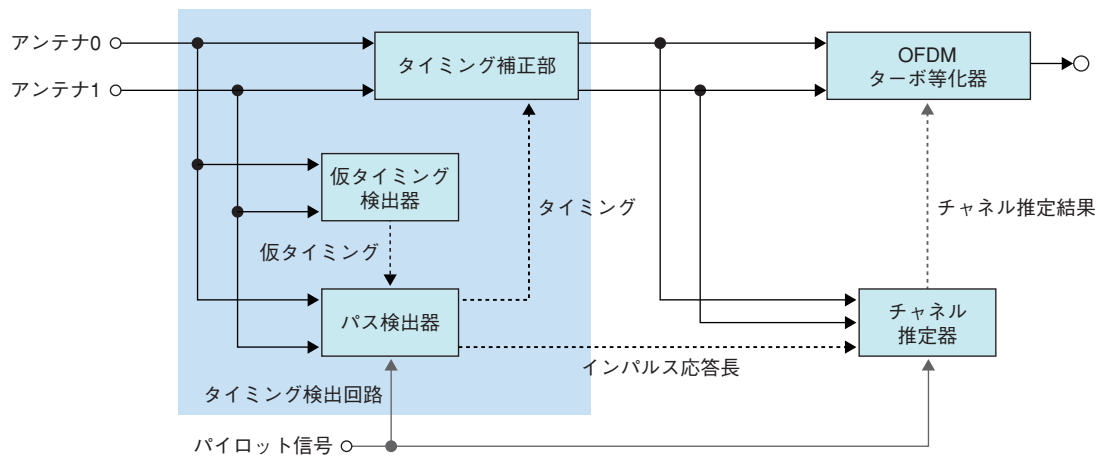


図4 高精度パス検出器を用いたタイミング再生器

区別する必要がある。この問題に対しては、受信信号中の雑音電力を推定し、この雑音電力に対して大きな電力を有する信号成分を有効パスとみなしてパス数の判定を行う。その後、抽出したマルチパスをすべて含むようにタイミングを調整する。遅延波の電力は先行波に比べ低いいため、しきい値はタイミング補正とは異なったしきい値を用いる。

計算機シミュレーションによる特性評価を行った結果、本方法を用いることにより $PER = 10^{-1}$ を達成する E_b/N_0 を 3dB改善することが可能である。

4. あとがき

本稿では、適応信号処理を中心としたパケット通信を基本とする2つの無線信号伝送技術を概説した。さらに、高信頼／高速伝送が可能な基盤要素技術の検討を継続的に進めているところであり、今後の移動通信方式に対するそれらの技術の適用性に関して検討を行う。

文 献

- [1] 須山 聡, 寒河江 裕太, 鈴木 博, 府川 和彦: “サブキャリア位相ホッピングMIMO-OFDM伝送のFPGA実装,” 電子情報通信学会

総合大会, B-5-92, 2005年3月。

- [2] 静野 隆之, 須山 聡, 鈴木 博, 府川 和彦: “OFDMパケット伝送における高精度パス検出器を用いたタイミング再生,” 電子情報通信学会 ソサイエティ大会, B-5-72, 2003年9月。

用 語 一 覧

A/D : Analog to Digital
ARQ : Automatic Repeat reQuest
CRC : Cyclic Redundancy Check (巡回符号)
D/A : Digital to Analog
FFT : Fast Fourier Transform (高速フーリエ変換)
FPGA : Field Programmable Gate Array
GI : Guard Interval (ガードインターバル)
HDL : Hardware Description Language (ハードウェア記述言語)
IFFT : Inverse FFT (逆フーリエ変換)
MAC : Multiply and ACcumulate (積和演算)
MIMO : Multiple Input Multiple Output
MISO : Multiple Input Single Output
MLD : Maximum Likelihood Detection (最尤検出器)
MMSED : Minimum Mean Squared Error Detection (MMSE検出器)
OFDM : Orthogonal Frequency Division Multiplexing
PER : Packet Error Rate (パケット誤り率)
SDM : Spatial Division Multiplexing
SPH : Subcarrier Phase Hopping (サブキャリア位相ホッピング)
TD : Transmit Diversity
TDD : Time Division Duplex
ZBT-SSRAM : Zero Bus Turnaround-Synchronous Static Random Access Memory